

A14

3/5/4

DIALOG(R) File 351:Derwent WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011173025 **Image available**
WPI Acc No: 1997-150950/199714
Related WPI Acc No: 1997-122760
XRPX Acc No: N97-124763

Active matrix type liq. crystal display device with liquid crystal driven by thin-film transistor - has thin-film transistor whose electrodes are made of niobium and alloy of either molybdenum or vanadium

Patent Assignee: HITACHI LTD (HITA)

Inventor: HASHIMOTO K; KANEKO T; MINEMURA T; ONISAWA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 9026598	A	19970128	JP 95173536	A	19950710	199714 B
KR 97002414	A	19970124	KR 9621429	A	19960614	199804
US 5831694	A	19981103	US 96663523	A	19960613	199851

Priority Applications (No Type Date): JP 95173536 A 19950710; JP 95147852 A 19950614

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 9026598	A		8	G02F-001/136	
KR 97002414	A			G02F-001/136	
US 5831694	A			G02F-001/136	

Abstract (Basic): JP 9026598 A

The device provides a thin-film transistor for every liquid crystal component. The thin film transistor includes a gate electrode (2), a gate insulating film (3), a semiconductor layer (4) and a source-drain electrode (6).

Each electrode of the thin-film transistor is made of niobium. Each electrode contains an alloy of either molybdenum or vanadium.

ADVANTAGE - Reduces resistance and film stress, and easily obtains high throughput and high yield. Reduces cost, and enables obtaining high definition LCD device. Enables increasing size of LCD device.

Dwg.1/5

Title Terms: ACTIVE; MATRIX; TYPE; LIQUID; CRYSTAL; DISPLAY; DEVICE; LIQUID ; CRYSTAL; DRIVE; THIN; FILM; TRANSISTOR; THIN; FILM; TRANSISTOR; ELECTRODE; MADE; NIOBIUM; ALLOY; MOLYBDENUM; VANADIUM

Derwent Class: P81; U11; U12; U14

International Patent Class (Main): G02F-001/136

International Patent Class (Additional): G02F-001/1343; G02F-001/1345;

H01L-029/786

File Segment: EPI; EngPI

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-26598

(43) 公開日 平成9年(1997)1月28日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0		G 0 2 F 1/136	5 0 0
			1/1345	
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平7-173536

(22) 出願日 平成7年(1995)7月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 鬼沢 賢一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 金子 寿輝

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(72) 発明者 橋本 健一

茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内

(74) 代理人 弁理士 武 順次郎

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶ディスプレイ装置

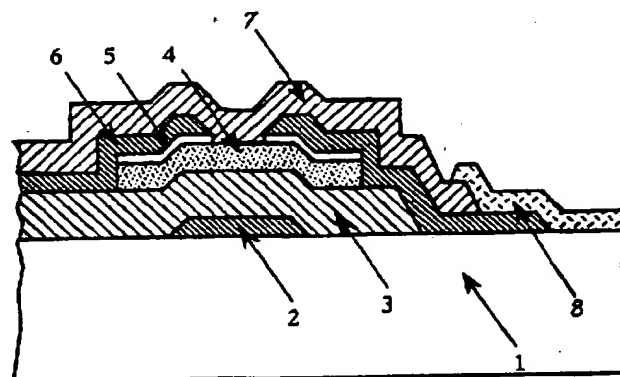
(57) 【要約】

【目的】 スループット及び歩留まりが高く、且つ高精細化、大画面化を可能にするのに必要な低抵抗配線が容易に得られるようにしたアクティブマトリクス型液晶ディスプレイ装置を提供すること。

【構成】 ゲート電極2とゲート絶縁膜3、半導体層4、それにソース・ドレイン電極6からなるアクティブマトリクス型液晶ディスプレイ装置のTFT素子において、ゲート電極2とソース・ドレイン電極6、及びこれらの電極に対する配線部分を、Nbを主体とし、Mo又はVの少なくとも一方を添加した金属材料で構成したもの。

【効果】 電極と配線の低抵抗化と膜応力の低減とが得られるので、スループット及び歩留まりが高いTFT-LCDパネルを容易に提供することができ、従って、アクティブマトリクス型液晶ディスプレイ装置の低コスト化を充分に得ることができ、アクティブマトリクス型液晶ディスプレイ装置の高精細化と大型化にも低コストで容易に対応することができる。

【図1】



ズマCVD装置内の別チャンバで半導体層の $a-Si:H$ 膜4を形成した。基板温度は $250^{\circ}C$ とし、 SiH_4 を原料ガスに用い、膜厚 $220nm$ とした。

【0032】引き続き別チャンバに移し、この上にP(リン)をドーブした $n^+ \cdot a-Si$ 層5を形成した。基板温度は $230^{\circ}C$ とし、 SiH_4 、 PH_3 、及び H_2 の混合ガスを原料ガスとして用い、 $50nm$ の膜厚に作製した。次に、ドライエッチング法により $n^+ \cdot a-Si$ 層5及び半導体層 $a-Si:H$ 膜4をTFT形状にパターニングした。

【0033】続いてゲート絶縁膜を同様にドライエッチング法によって加工し、画素電極及びゲート電極端子取り出し部のためのスルーホールを形成した。この上に、ゲート電極に用いたと同一の材料及び装置によって、Nb-Mo膜を堆積した。すなわち、DCマグネトロンスパッタリング法で、基板温度を $100^{\circ}C$ 、スパッタガス圧 $2.5mTorr$ とし、 $240nm$ の膜厚に堆積した。このNb-Mo膜を、エッチングガスとして CF_4 と O_2 の混合ガスを用いたドライエッチング法によってソース・ドレイン電極6に加工した。

【0034】引き続き、ドライエッチング法によって $n^+ \cdot a-Si$ 層5を除去し、TFTのチャネルを形成した。なお、実際は、 $n^+ \cdot a-Si$ 層5のドライエッチング法では、加工裕度(エッチング残りを防止するため)を考慮して、 $n^+ \cdot a-Si$ 層5のみでなく、図には示していないが、半導体層 $a-Si:H$ 膜4も約 $100nm$ オーバエッチしてある。

【0035】この上に、保護性絶縁膜7となる SiN 膜を、RFプラズマCVD法により、基板温度 $230^{\circ}C$ で、 SiN_4 、 NH_3 、及び N_2 の混合ガスを原料ガスとして用い、 $300nm$ の膜厚に作成した。この後、ドライエッチング法によって、パネル周辺の保護性絶縁膜 SiN を除去し、電極端子を露出させると共に、画素電極部分にスルーホールを形成した。なお、図示すると複雑になるので、図3では保護性絶縁膜7は省略してある。

【0036】次にDCマグネトロンスパッタリング法を用い、基板温度 $200^{\circ}C$ で透明電極となるITO膜を堆積後、ホトエッチングによって画素電極8をパターニングした。なお、図には示していないが、このパターニングにおいては、同時にパネル周囲のゲート電極2及びソース・ドレイン電極6の端部も、ITO透明電極で被覆しているが、その理由は、パネルと駆動回路との接続の信頼性を確保するためである。

【0037】この実施例によれば、以上までの工程において、基板割れ、膜剥れなど、従来しばしば生じていた問題は全く発生しなかった。そこで、このようにして作製したTFT基板を、引き続き液晶製造工程に投入し、LCDパネルを完成させ、駆動回路を設け、バックライトにより表示状態を調べた結果、画素欠陥による歩留まりの低下は極めて少ないことを確認した。

【0038】上述した実施例1によるTFT作製プロセスをまとめると、次のようになる。

【0039】基板洗浄

Nb-Mo膜堆積

ホトレジスト塗布・露光・現像

加工(ウェットエッチング、ドライエッチングでも可能)：ゲート電極

ホトレジスト剥離

CVD($n^+ \cdot a-Si/a-Si:H/SiN$)

10 ホトストレジ塗布・露光・現像

加工(ドライエッチング)： $n^+ \cdot a-Si/a-Si:H$ (TFT)

ホトレジスト剥離

ホトレジスト塗布・露光・現像

加工(ドライエッチング)：ゲート絶縁膜 SiN スルーホール形成

ホトレジスト剥離

Nb-Mo膜堆積

ホトレジスト塗布・露光・現像

20 加工(ドライエッチング、ウェットエッチングでも可能)：ソース・ドレイン電極

加工(ドライエッチング)： $n^+ \cdot a-Si$ 除去(チャネル形成)

ホトレジスト剥離

CVD(SiN)

ホトレジスト塗布・露光・現像

加工(ドライエッチング)：電極端子・画素電極部にスルーホール形成

ホトレジスト剥離

30 ITO膜堆積

ホトレジスト塗布・露光・現像

加工(ウェットエッチング)：画素電極

ホトレジスト剥離

以上から明らかなように、CVDによる $n^+ \cdot a-Si/a-Si:H/SiN$ 積層膜は、1台の装置で連続して堆積するので工程数は1である。従って、この実施例のプロセスは、5回の膜堆積工程と6回のホトリソグラフィ工程から構成されていることになり、これは、従来技術と同じである。しかしながら、この実施例のプロセスでは、従来技術と異なり、ゲート電極及びソース・ドレイン電極にNb-Mo材料を用いている点が特長であり、且つ膜堆積及び加工を両電極について全く同一の工程で作製できることが特長である。

【0040】従って、この実施例によれば、スループットが向上できると共に、設備投資及びメンテナンス費を大幅に低減できるので、LCD製品のコスト低減を充分に得ることができる。

【0041】実施例2

次に、本発明の第2の実施例について説明する。この実施例により作製したTFT素子の断面模式図を図2に示

す。

【0042】よく洗浄したガラス基板1上に、実施例1のゲート電極のマグネトロンスパッタリング法を用い、基板温度100℃でNb-Mo膜を堆積した。膜厚は120nmとした。

【0043】このNb-Mo膜をホットエッチングによってソース・ドレイン電極6に加工した。この加工方法(ウェットエッチング)も、実施例1と全く同様とした。次に、作製した基板をRFプラズマCVD装置に設置し、まずソース・ドレイン電極との電氣的接触をとるためPH₃プラズマ処理を加えた後、半導体層4となるa-Si:H膜を形成した。このとき基板温度は250℃とし、モノシランSiH₄を原料ガスに用いて膜厚は18nmとした。なお、このように膜厚を薄くする理由は、パネルを完成させたとき半導体層に流れ、トランジスタのオフ電流を増大させる原因となる光電流を抑制するためである。

【0044】引き続き、同一チャンバ内で、この上にゲート絶縁膜3となるSiN層を形成した。基板温度は、活性層のときと同じく250℃とし、SiH₄、NH₃、及びN₂の混合ガスを原料ガスとして用い、300nmの膜厚に作製した。次いで、ゲート電極2となるNb-Mo膜を、ソース・ドレイン電極6と同一の方法、すなわちマグネトロンスパッタリング法で、基板温度100℃、膜厚240nmとして作製した。

【0045】この後、ゲート電極2を加工したが、このときソース・ドレイン電極6のときとやや異なる点は、Nb-Mo膜をオーバエッチングすることであり、具体的には、エッチング時間を長めに設定すれば良い。引き続き、そのままホットレジスト剥離をしないで、ドライエッチング法によって活性層及びゲート絶縁膜をパターンニングした。ここで測定した結果、ゲート電極Nb-Moの活性層及びゲート絶縁膜パターン幅に対する、オーバエッチングによる後退量は、片側約1.5μmであった。この後退量はゲート電極とソース・ドレイン電極間のショートを防止するのに必要十分な距離である。

【0046】この上に保護性絶縁膜7となるSiN膜をRFプラズマCVD法によって形成した。基板温度は250℃とし、SiH₄、NH₃、及びN₂の混合ガスを原料ガスとして用い、300nmの膜厚に作製した。その後、ドライエッチング法によってパネル周囲の保護性絶縁膜SiNを除去し、電極端子を露出させると共に画素電極部分にスルーホールを形成した。さらにこの上に、マグネトロンスパッタリング法を用い、基板温度200℃で透明電極のITO膜を堆積後、ホットエッチングによって画素電極8をパターンニングした。なお、図には示し

ていないが、このパターンニングにおいては、同時にパネル周囲のゲート電極2及びソース・ドレイン電極6端部もITO透明電極で被覆している。

【0047】この実施例2によっても、基板割れ、膜剥れなど、以上の工程において従来しばしば生じていた問題は全く発生しなかった。そこで、作製したTFT基板を液晶工程に投入し、LCDパネルを完成させ、表示状態を調べた結果、画素欠陥による歩留まりの低下は極めて少ないことを確認した。

【0048】なお、以上の実施例では説明しなかったが、本発明では、Moに代えてVを用いても実施可能なことは、上記した通りであり、この場合でも、Moを用いた場合と同様な作用効果を得ることができる。

【0049】

【発明の効果】本発明によれば、電極材料や配線材料として、Nbに、Mo又はVから選んだ少なくとも一種の金属を添加した材料を用いるという簡単な構成で、低抵抗化と膜応力の低減とが得られるので、スループット及び歩留まりが高いTFT-LCDパネルを容易に提供することができ、従って、アクティブマトリクス型液晶ディスプレイ装置の低コスト化を充分に得ることができる。また、この結果、本発明によれば、アクティブマトリクス型液晶ディスプレイ装置の高精細化と大型化にも低コストで容易に対応することができる。

【図面の簡単な説明】

【図1】本発明によるアクティブマトリクス型液晶ディスプレイ装置の第1の実施例におけるTFT部分を示す断面模式図である。

【図2】本発明によるアクティブマトリクス型液晶ディスプレイ装置の第2の実施例におけるTFT部分を示す断面模式図である。

【図3】本発明によるアクティブマトリクス型液晶ディスプレイ装置の第1の実施例を示す平面模式図である。

【図4】本発明による配線材料の比抵抗を説明する特性図である。

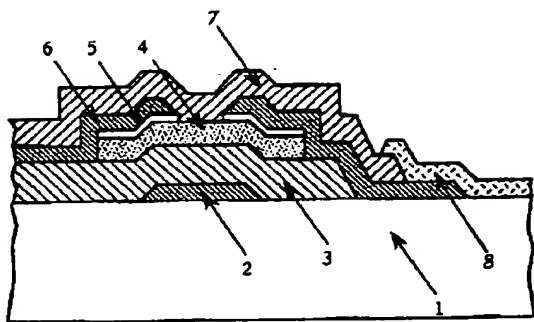
【図5】本発明による配線材料の内部応力を説明する特性図である。

【符号の説明】

- 1 ガラス基板
- 2 ゲート電極
- 3 ゲート絶縁膜
- 4 半導体層(a-Si:H膜)
- 5 n+・a-Si膜
- 6 ソース・ドレイン電極
- 7 画素電極
- 8 保護性絶縁膜

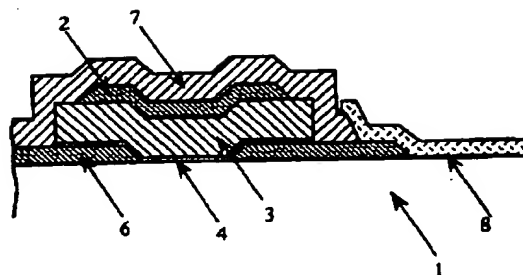
【図1】

【図1】



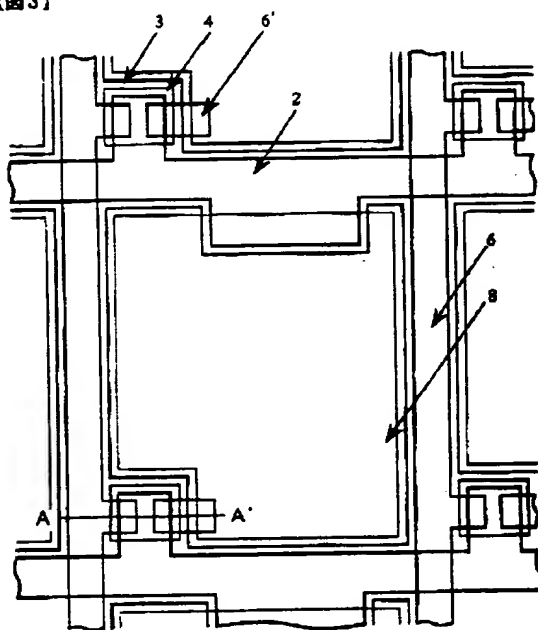
【図2】

【図2】



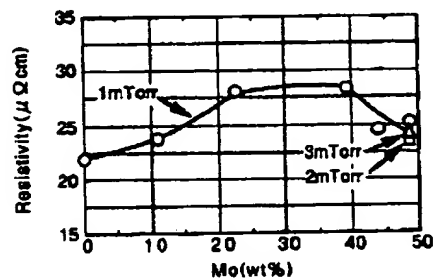
【図3】

【図3】



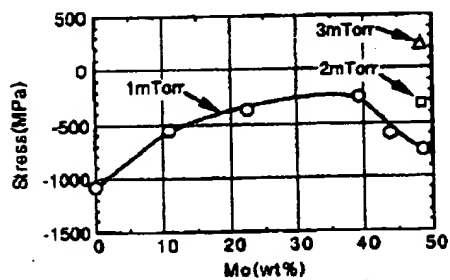
【図4】

【図4】



【図5】

【図5】



フロントページの続き

(72) 発明者 峯村 哲郎

茨城県日立市大みか町七丁目1番1号 株
式会社日立製作所日立研究所内